

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**





JF

PATENT APPLICATION

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Docket No: Q79107

Helmut PREISACH

Appln. No.: 10/771,466

Group Art Unit: 2819

Confirmation No.: 2962

Examiner: Not Assigned

Filed: February 04, 2004

For: DIGITAL TO ANALOG CONVERTER, PHASE CONTROL CIRCUIT,  
TRANSMISSION UNIT AND RECOGNITION CIRCUIT

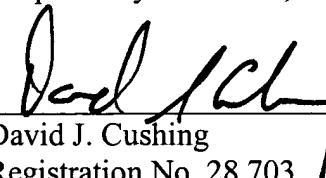
**SUBMISSION OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,

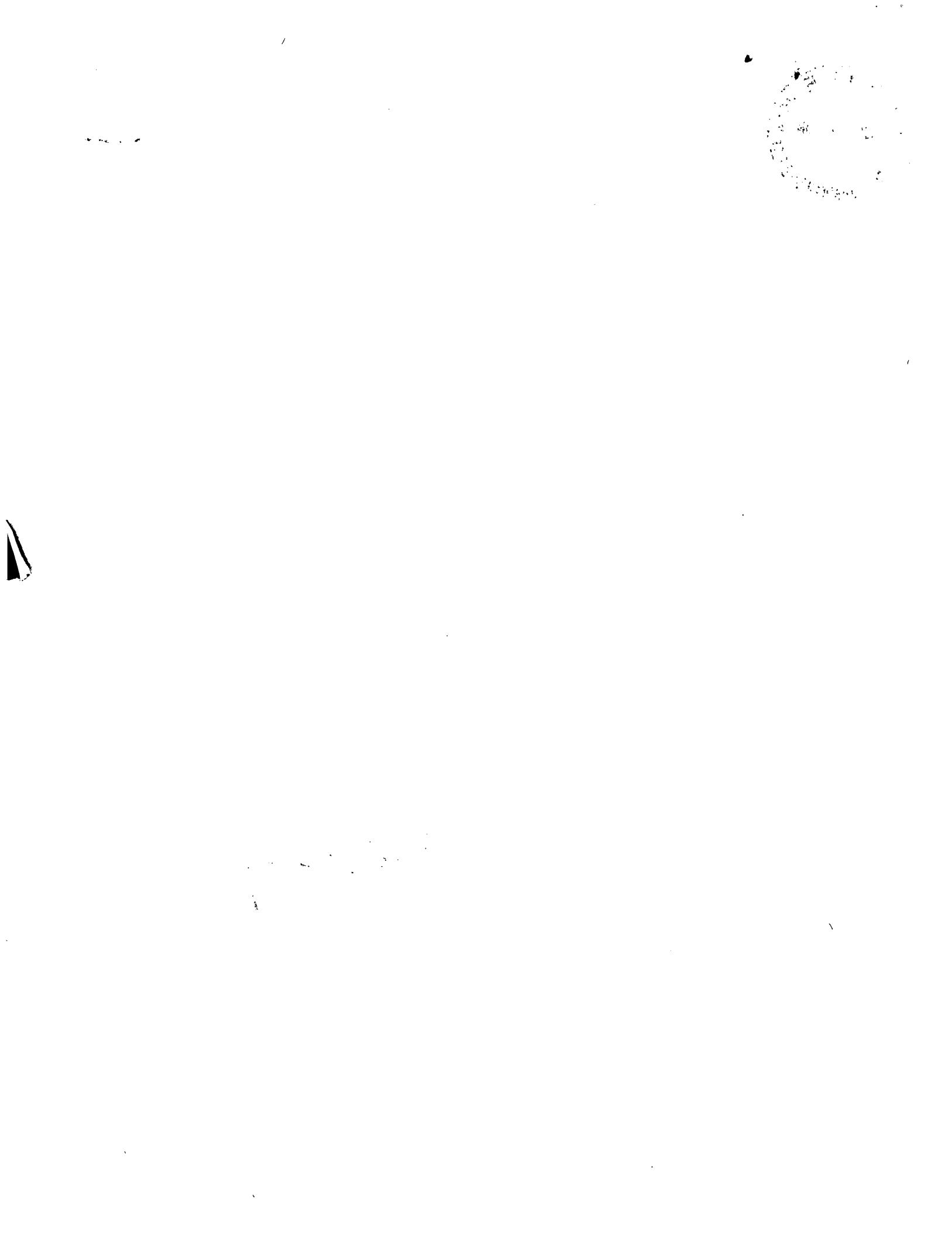
  
\_\_\_\_\_  
David J. Cushing  
Registration No. 28,703

SUGHRUE MION, PLLC  
Telephone: (202) 293-7060  
Facsimile: (202) 293-7860

WASHINGTON OFFICE  
**23373**  
CUSTOMER NUMBER

Enclosures: Europe 03360017.2

Date: June 14, 2004





Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

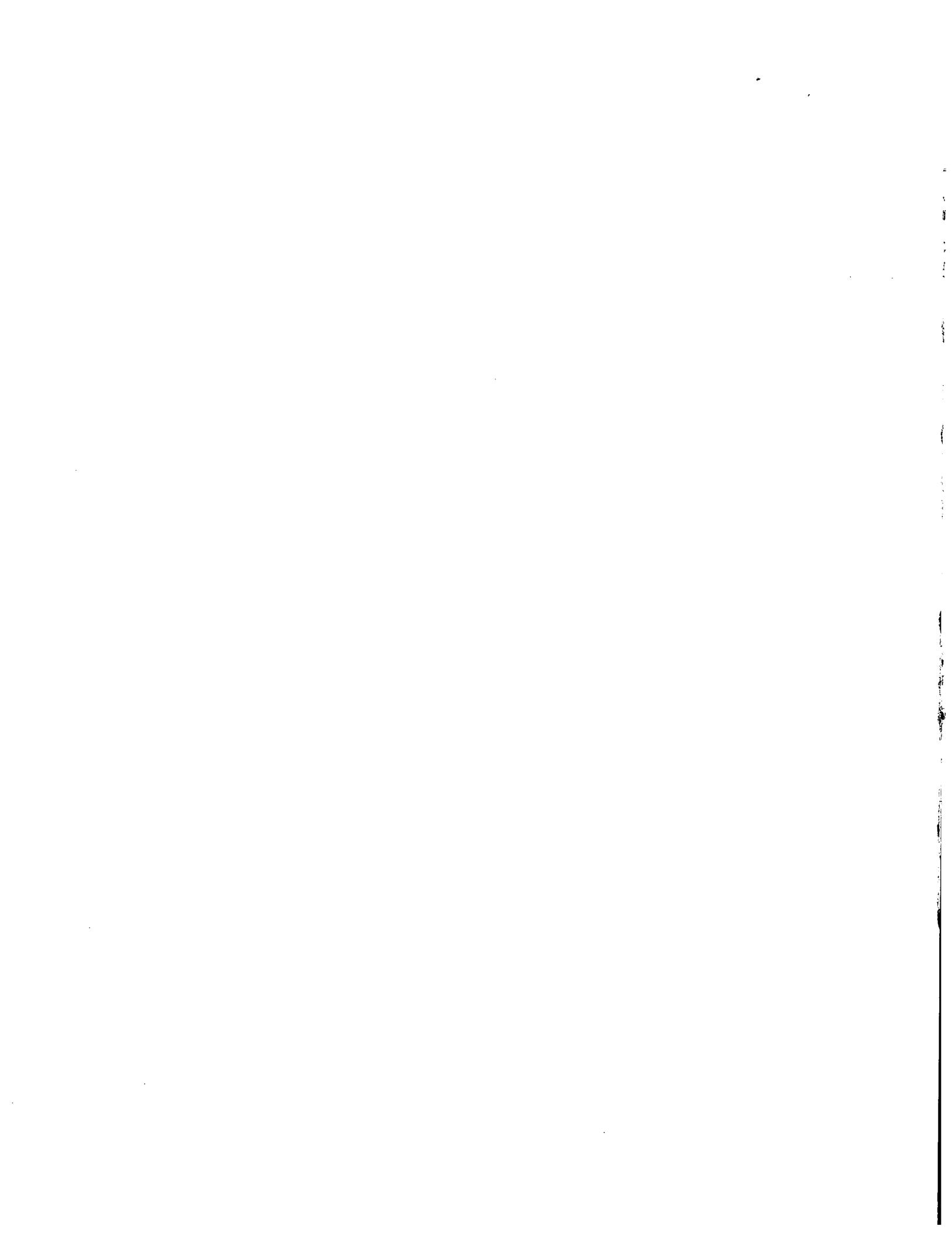
03360017.2

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office  
Le Président de l'Office européen des brevets  
p.o.

R C van Dijk

DEN HAAG, DEN  
THE HAGUE, 06/03/03  
LA HAYE, LE





Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets

**Blatt 2 der Bescheinigung**  
**Sheet 2 of the certificate**  
**Page 2 de l'attestation**

Anmeldung Nr.:  
Application no.:  
Demande n°:

03360017.2

Anmeldetag:  
Date of filing:  
Date de dépôt:

05/02/03

Anmelder:  
Applicant(s):  
Demandeur(s):  
**ALCATEL**  
**75008 Paris**  
**FRANCE**

Bezeichnung der Erfindung:  
Title of the invention:  
Titre de l'invention:  
**Digital-Analog-Konverter, Phasenregelkreis, Übertragungstechnische Einheit und Erkennungsschaltung**

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

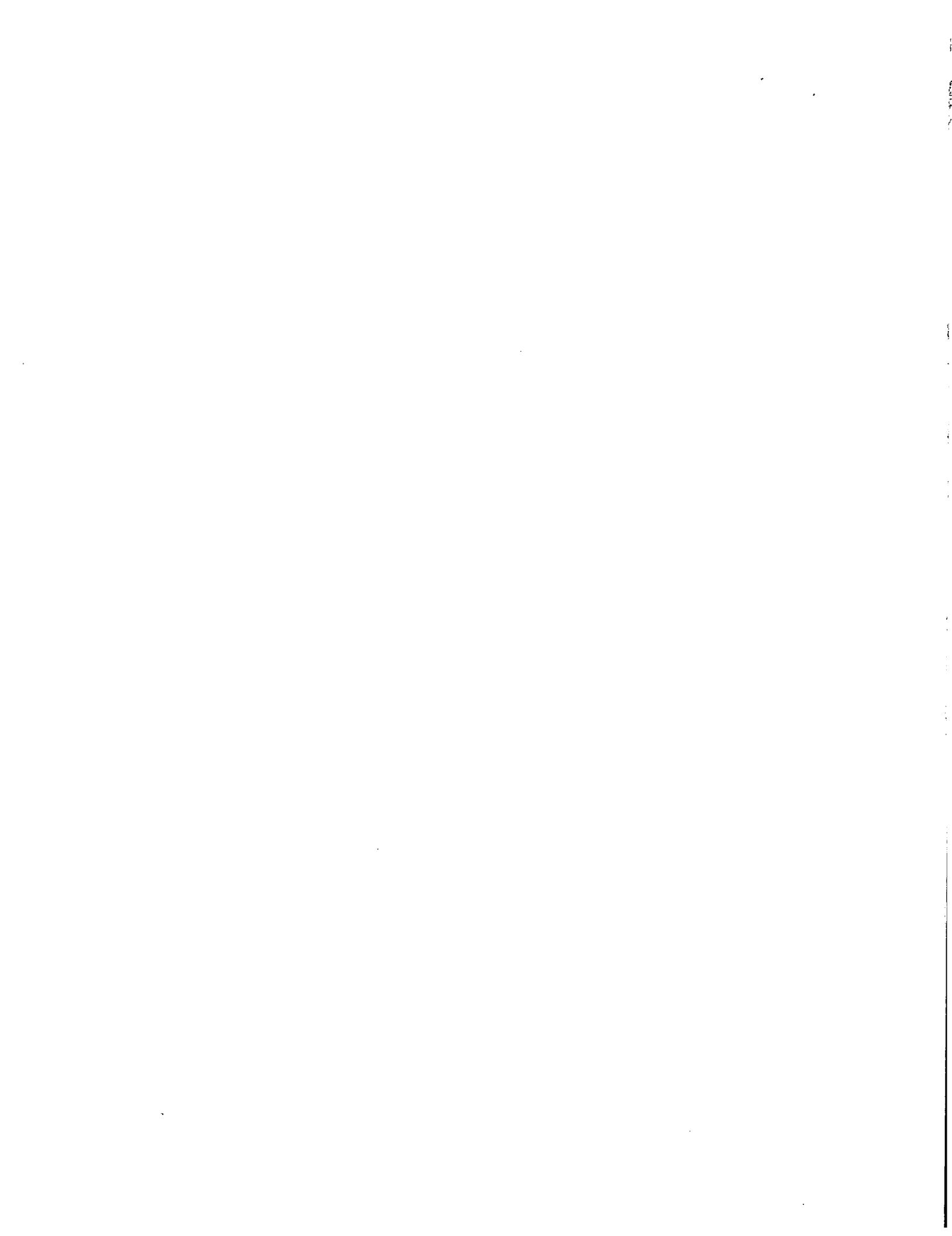
Staat: State: Pays:	Tag: Date: Date:	Aktenzeichen: File no. Numéro de dépôt:
---------------------------	------------------------	---

Internationale Patentklassifikation:  
International Patent classification:  
Classification internationale des brevets:

/

Am Anmeldetag benannte Vertragstaaten:  
Contracting states designated at date of filing:  
Etats contractants désignés lors du dépôt:  
AT/BG/BE/CH/CY/CZ/DE/DK/EE/ES/FI/FR/GB/GR/HU/IE/IT/LI/LU/MC/

Bemerkungen:  
Remarks:  
Remarques:



Digital-Analog-Konverter, Phasenregelkreis, Übertragungstechnische Einheit und Erkennungsschaltung

Die Erfindung betrifft einen Digital-Analog-Konverter nach  
5 dem Oberbegriff des Anspruchs 1, einen Phasenregelkreis mit ei-  
nem Phasendetektor, einem Regelkreisfilter und einem spannungs-  
gesteuerten Oszillatator, nach dem Oberbegriff des Anspruchs 2,  
eine Übertragungstechnische Einheit, insbesondere am Übergang  
zwischen elektrischen Signalen und optischen Signalen, nach dem  
10 Oberbegriff des Anspruchs 10 und eine Erkennungsschaltung zum  
Erkennen des Eingerastet-Seins eines Phasenregelkreises, nach  
dem Oberbegriff des Anspruchs 11.

Die erfindungsgemäße Erkennungsschaltung ist entstanden beim  
Ausgangsbeispiel der Entwicklung eines Phasenregelkreises für  
15 eine Übertragungstechnische Einheit und wird im Folgenden aus-  
gehend von der Beschreibung dieses Phasenregelkreises erläu-  
tert.

Bei der Übertragung von Datensignalen in digitaler Form gibt  
es mehr oder weniger Signalverzerrungen. Immer dann, wenn eine  
20 merkbare Verzerrung zu erwarten ist, wird versucht, mit Hilfe  
von Signalregeneratoren das ursprüngliche Signal wiederherzu-  
stellen. Bei Digitalsignalen ist dies insofern einfacher als  
bei Analogsignalen, als hier nur wenige, im Fall von Binärdaten  
nur zwei, Signalzustände überhaupt vorkommen dürfen. Außerdem  
25 sind Übergänge zwischen zwei Signalzuständen nur zu ganz be-  
stimmten Zeitpunkten zulässig und damit nur in der Umgebung  
dieser Zeitpunkte zu erwarten. Wichtig dabei ist dann, daß in  
der Mitte zwischen zwei Zeitpunkten die größte Wahrscheinlich-  
keit besteht, den korrekten Signalzustand zu finden. Der Ab-  
30 stand zwischen zwei solchen Zeitpunkten ist der Takt, der der

Übertragung zugrunde liegt.

Will man sich ein noch nicht regeneriertes Signal auf einem Oszilloskop ansehen oder einen entsprechenden Ausdruck einer Simulation betrachten, so wählt man zweckmäßiger Weise die

5 Zeitbasis (x-Achse) so, daß nach einem oder mehreren ganzen Takten das Signal (y-Achse) wieder von vorn beginnt. Die Darstellung hat dann das Aussehen eines Auges oder unmittelbar nebeneinander liegender Augen. Deshalb wird oft auch von einem "Augendiagramm", einem "Auge", der "Augenöffnung" oder dergleichen gesprochen. Diese Ausdrücke werden auch dann verwendet,

10 wenn der kontinuierliche Signalverlauf selbst betrachtet wird.

Das Regenerieren eines solchen Signals erfolgt nun derart, daß jeweils in der Mitte des Auges, dort, wo die Augenöffnung am größten ist, der aktuelle Signalwert ermittelt wird und der

15 nächstliegende zulässige Datenwert ausgegeben wird.

Zu diesem Zweck sind Phasenregelkreise der eingangs genannten Art üblich. In dem der Erfindung zugrundeliegenden Fall ergeben sich dynamische Schwankungen dadurch, daß das Eingangssignal auf Datenpakete zurückgeht, die nicht mit exakt gleichen Abständen aufeinander folgen. Langfristige Änderungen ergeben sich durch Variation der Betriebsparameter, die auch auf Alterung der betroffenen Teile zurückgehen können. Der Ausgleich der langfristigen Änderungen verursacht Phasenschwankungen, ein sogenanntes "Dithering". Dieses Dithering kann klein gehalten

20 werden, wenn das Regelkreisfilter eine möglichst geringe obere Grenzfrequenz aufweist.

25

Der Vollständigkeit soll hier darauf hingewiesen werden, daß ein solcher Phasenregelkreis auch die Frequenz einregelt. Ein Takt, welcher so eingeregelt ist, daß an allen aufeinanderfolgenden Punkten gleicher Phase die Phase korrekt ist, hat auch die richtige Frequenz.

Im Ausgangsbeispiel kommt noch hinzu, daß der Arbeitsbereich des Phasenregelkreises sehr groß ist im Verhältnis zur mittleren Frequenz. Hier kann nicht mehr mit nur einem Oszillator ge-

arbeitet werden; es werden vielmehr mehrere, im Ausgangsbeispiel drei, Oszillatoren bereitgestellt, von denen der jeweils geeignete verwendet wird. Dieser muß dann in seinem ganzen Arbeitsbereich möglichst genau mit einer passenden Regelspan-

5 nung angesteuert werden. Weiter muß festgestellt werden, ob der Phasenregelkreis eingerastet ist oder nicht.

Der Erfindung liegt die Aufgabe zugrunde, einen Digital-Analog-Konverter mit hoher Auflösung zur Verfügung zu stellen.

Dieser soll in einem Phasenregelkreis für eine Übertragungs-

10 technische Einheit einsetzbar sein, die in einem großen Arbeitsfrequenzbereich arbeiten soll und deshalb auch eine Erkennungsschaltung zum Erkennen des Eingerastet-Seins aufweisen können.

Diese Aufgabe wird erfindungsgemäß gelöst durch einen Digi-

15 tal-Analog-Konverter nach der Lehre des Anspruchs 1, einen Phasenregelkreis nach der Lehre des Anspruchs 2, eine Übertragungs-technische Einheit nach der Lehre des Anspruchs 10 und eine Erkennungsschaltung nach der Lehre des Anspruchs 12.

Der erfindungsgemäße Digital-Analog-Konverter wird durch eine

20 Art Parallelschaltung von zwei oder mehr Digital-Analog-Konvertern mit entsprechend geringerer Auflösung realisiert. Ihre Ausgangsspannungen werden, zumindest von ihrer Wirkung her, miteinander summiert. Seine digitalen Eingangswerte derart aufgearbeitet werden (245), daß bei einem kontinuierlichen Inkrementieren oder Dekrementieren dieser Eingangswerte der Reihe nach die einzelnen Eingangswerte der zwei oder mehr Digital-Analog-Konverter (241, ..., 244) inkrementiert bzw. dekrementiert werden.

Weitere Ausgestaltungen der Erfindung sind den Unteransprü-

30 chen und der nachfolgenden Beschreibung zu entnehmen.

Im folgenden wird die Erfindung, ausgehend von der Beschreibung des erfindungsgemäßen Phasenregelkreises, unter Zuhilfenahme der beiliegenden Zeichnungen weiter erläutert:

Figur 1 zeigt den grundsätzlichen, allgemein bekannten, Aufbau eines Phasenregelkreises.

Figur 2 zeigt einen Ausschnitt aus dem Phasenregelkreis nach Figur 1, der hier entsprechend der Erfindung abgewandelt ist.

Figur 3 zeigt ein Detail des Phasenregelkreises nach Figur 2.

Figur 4 zeigt ein weiteres Detail des Phasenregelkreises nach Figur 2.

Figur 5 zeigt ein erfindungsgemäß ausgestaltetes Detail des Phasenregelkreises nach Figur 2.

Figur 6 zeigt weitere Ausgestaltungen des Phasenregelkreises nach Figur 2.

Figur 7 zeigt einen Phasenregelkreis mit einer erfindungsgemäß ausgestalteten Erkennungsschaltung zum Erkennen des Eingerastet-Seins des Phasenregelkreises.

Figur 8 zeigt einen erfindungsgemäß aufgebauten Digital-Analog-Konverter.

Figur 9 zeigt eine praktisch besser realisierbare Version eines erfindungsgemäßen Digital-Analog-Konverters nach Figur 8.

Anhand der Figur 1 wird zunächst der grundsätzliche, allgemein bekannte, Aufbau eines Phasenregelkreises beschrieben. Figur 1 basiert auf der Abbildung 27.20 des Standardwerks "Halbleiter-Schaltungstechnik" von U. Tietze und Ch. Schenk, neunte 5 Auflage, Springer-Verlag Berlin Heidelberg New York London Paris Tokyo 1989.

Figur 1 zeigt einen Phasendetektor 1, einen Regelkreisfilter 2, dort als Regler bezeichnet, und einen spannungsgesteuerten Oszillatator 3, dort als Nachlauf-Oszillatator bezeichnet.

10 Der Phasendetektor 1 vergleicht ein Eingangssignal U1, dort

als Bezugsfrequenz  $f_1$  bezeichnet, bezüglich der Phase mit dem Ausgangssignal  $U_2$  des spannungsgesteuerten Oszillators 3, dort auch mit  $f_2$  bezeichnet. Dessen Ausgangssignal  $U_4$ , dort als Regelgröße bezeichnet, wird negiert und dem Eingang des Regelkreisfilters 2 zugeführt. Gegebenenfalls kann noch eine dort als Führungsgröße bezeichnete Spannung  $U_3$  zu diesem Ausgangssignal  $U_4$  addiert werden, wodurch am Eingang des Regelkreisfilters 2 eine dort als Regelabweichung bezeichnete Größe  $U_3 - U_4$  ansteht. Die Ausgangsspannung  $U_5$  wird dem Eingang des spannungsgesteuerten Oszillators 3 zugeführt, dort als Stellgröße bezeichnet. In dieser Darstellung weist der Phasenregelkreis keinen Ausgang auf. Als Ausgangsgröße eines Phasenregelkreises wird das Ausgangssignal  $U_2$  des spannungsgesteuerten Oszillators 3 benötigt. Insoweit hat der ganze Phasenregelkreis im Vergleich zwischen dem Takt des Eingangssignals  $U_1$  mit dem Takt des Ausgangssignals  $U_2$  einen Schwunggradeffekt. Solche Phasenregelkreise werden deshalb gelegentlich als Schwungradschaltung bezeichnet.

Ein solcher Phasenregelkreis wirkt nun so, daß dann, wenn keine Spannung  $U_3$  anliegt, der spannungsgesteuerte Oszillator 3 ein Ausgangssignal  $U_2$  abgibt, dessen Frequenz  $f_2$  entweder gleich der Bezugsfrequenz  $f_1$  oder einer dazu harmonischen Frequenz ( $nx f_1 = mx f_2$ ) ist, wobei der Phasenregelkreis dann eingerastet ist, oder die Frequenz  $f_2$  einer der Bereichsgrenzen des Oszillators 3 entspricht, wobei dann der Phasenregelkreis nicht eingerastet ist. Da die Bereichsgrenzen des Oszillators 3 keine absoluten Fixpunkte sind, wird die Frequenz dann auch nicht sehr stabil sein.

Gemäß Figur 2 wird nun das Regelkreisfilter 2 in zwei parallele Zweige geteilt, wovon der erste Zweig, in der Figur der obere, im Hinblick auf die dynamischen Schwankungen ausgelegt ist, während der zweite Zweig, in der Figur der untere, im Hinblick auf die langfristigen Veränderungen dimensioniert ist. Der erste Zweig gibt hier das Ausgangssignal des Phasendetektors 1 direkt auf einen Eingang des Oszillators 3, während im zweiten Zweig ein Tiefpassfilter 23 enthalten ist.

In besonderen Fällen kann es, wie bei anderen Regelschaltungen auch, sinnvoll sein, auf schnelle Eingangsschwankungen auch schnell zu reagieren. Dies kann beispielsweise dann der Fall sein, wenn zwei längere Datenpakete in beliebigem Abstand auf-  
 5 einanderfolgen. In diesem Fall kann es angebracht sein, wie auch sonst aus der Regelungstechnik bekannt, einen Differenti-  
 alanteil hinzuzufügen. Dann hält der Schwungradeffekt natürlich nur bis zur nächsten sprungartigen Änderung an.

Im dargestellten Beispiel ist der erste Zweig in analoger  
 10 Schaltungstechnik ausgeführt. Faktisch wirksam in diesem Zweig ist nur die Ausgangsschaltung 11 des Phasendetektors 1. Die Ausgangsschaltung 11 des Phasendetektors 1 ist hier eine Kombi-  
 nation aus Phasendetektor und Verstärker. Der Verstärkungsfak-  
 tor ist in dem der Erfindung zugrundeliegenden Fall zwischen 0  
 15 dB und 14 dB umschaltbar. Damit kann die Empfindlichkeit des Phasenregelkreises bezüglich der dynamischen Schwankungen ein-  
 gestellt werden. Der zweite Zweig ist hier in digitaler Schal-  
 tungstechnik aufgebaut und enthält deshalb außer dem hier digi-  
 tal ausgeführten Tiefpassfilter 23 noch einen Analog-Digital-  
 20 Wandler 22 und einen Digital-Analog-Wandler 24. Die Ausgangs-  
 schaltung 11 des Phasendetektors 1 gehört formell gleichzeitig auch dem zweiten Zweig an. Der Digital-Analog-Wandler 24 hat im Beispiel einen 24-Bit-Eingang.

Die Ausgangsschaltung 11 des Phasendetektors 1 ist eine Ab-  
 25 tast-Halte-Schaltung, die gleichzeitig auch verstärkt. Dabei wird der im Phasenregelkreis gewonnene Takt T in einer nähe-  
 rungsweise zu einem Sinus verformten Weise mit dem Datentakt D des ankommenden Datenstroms abgetastet. Im vorliegenden Aus-  
 gangsbeispiel, das bei etwa 10 GHz arbeitet, bedarf es keiner  
 30 besonderen Maßnahmen, um den Takt sinusförmig zu verzerrn. Durch Verwendung des Datentakts Data als Abtasttakt wird gleichzeitig erreicht, daß nur diejenigen Zeitpunkte in die Re-  
 gelung eingehen, zu denen tatsächlich Datenflanken auftreten.

Als Takt für den digitalen Zweig wird im Ausgangsbeispiel der  
 35 Systemtakt desjenigen Systems verwendet, in das der Phasenre-

gelkreis eingebunden ist.

Im konkreten Ausgangsbeispiel ist der Phasenregelkreis Teil einer übertragungstechnischen Einheit, konkret eines Signalregenerators am Übergang zwischen elektrischen Signalen und optischen Signalen. Solche Signalregeneratoren dienen zum Wiederherstellen eines durch übertragungstechnische Störungen unbeeinflußten Signalverlaufs, letztlich also dem Rückgängigmachen der übertragungstechnischen Störungen.

Figur 3 zeigt die frequenzbestimmenden Teile des Oszillators 3, womit gezeigt wird, wie im Beispiel die Summation der beiden Anteile der "Stellgröße" U5 erfolgt. Gezeigt sind zwei Kapazitätsdiode 31a und 31b und eine Induktivität 32.

Die beiden Kathoden der Kapazitätsdiode 31a und 31b sind je mit einer der Eingangssignale verbunden, die Anoden miteinander und mit dem einen ("heißen") Ende der Induktivität 32. Hochfrequenzmäßig liegen die beiden Kapazitätsdiode 31a und 31b zueinander und zur Induktivität 32 parallel und bilden so einen Parallelschwingkreis. Die Sperrkapazitäten der beiden in Sperrrichtung betriebenen Kapazitätsdiode 31a und 31b lassen sich durch die angelegten, als Sperrspannung wirkenden, Eingangsspannungen fein regeln.

Figur 4 zeigt die Wirkungsweise des Analog-Digital-Wandlers 22, der hier als Fensterkomparator wirkt. Der Aufbau eines Fensterkomparators bei gegebener Kennlinie ist dem Fachmann geläufig. Die Wirkungsweise ist durch die Kennlinie gegeben. Hier wird eine "0" ausgegeben, wenn die Eingangsspannung in einem schmalen Bereich um den Sollwert liegt. Liegt sie darüber, wird eine "1" ausgegeben, darunter eine "-1".

Der als einfacher Fensterkomparator ausgeführte Analog-Digital-Wandler 22 weist bereits eine Tiefpasswirkung auf, da er auch starke Veränderungen nicht stärker weitergibt als schwache.

Im weiteren wird der Tiefpass 23, wie Figur 5 zeigt, als Zähler ausgeführt. Im Beispiel ist dieser Zähler durch zwei auf-

einanderfolgende Teilzähler 231 und 232 realisiert. Der erste Teilzähler 231 teilt durch einen Faktor n, während der zweite Teilzähler 232 durch einen Exponenten von 2, hier 2 hoch 12, teilt. Dessen Ausgangssignal ist eine 12-wertige Binärzahl, die 5 dann als Eingangssignal des nachfolgenden Digital-Analog-Wandlers 24 dient. Durch den gesamten Teilerfaktor der beiden Teilzähler wird bestimmt, wie schnell und wie genau das Ausgangssignal des Fensterkomparators weitergegeben wird. Insbesondere durch den Teilerfaktor n des ersten Teilzählers 231 10 kann die Verzögerung und damit die obere Grenzfrequenz des Tiefpasses stark beeinflußt werden.

Anhand der Figur 6 wird der Aufbau des spannungsgesteuerten Oszillators 3 und sein Zusammenspiel mit dem Digital-Analog-Wandler 24 näher dargestellt.

15 Figur 6 zeigt den Digital-Analog-Wandler 24, einen weiteren Digital-Analog-Wandler 25, eine analoge Schaltmatrix 33, drei Oszillatoren 34a, 34b und 34c und eine weitere analoge Schaltmatrix 35.

Der Ausgang des Digital-Analog-Wandlers 24 und des weiteren 20 Digital-Analog-Wandler 25 führen auf Eingänge der Schaltmatrix 33. Vom ersten Zweig des Regelkreisfilters 2, und damit von dessen Verstärker 21 führt ebenfalls eine Signalleitung auf einen Eingang der Schaltmatrix 33. Je drei Ausgänge der Schaltmatrix 33 führen auf Eingänge der Oszillatoren 34a, 34b und 25 34c. Deren Ausgänge führen auf je einen Eingang der weiteren analogen Schaltmatrix 35.

Bei der der Erfindung zugrunde liegenden Ausführungsform soll im Bereich von 9,9 GHz bis 12,5 GHz jede Frequenz als Arbeitsfrequenz verwendbar sein. Als Fangbereich ist ein Bereich von 8 30 MHz vorgesehen. Die Bandbreite des zu überstreichenden Bereichs ist im Vergleich zur Mittenfrequenz sehr groß. Deshalb sind hier drei Oszillatoren vorgesehen. Sie sind fertigungstechnisch auf Mittelfrequenzen von 9,6 GHz, 10,6 GHz und 11,6 GHz eingestellt. Durch Schwankungen in der Fertigung ergeben sich davon 35 leicht abweichende Werte. Es ist aber sichergestellt, daß sie

sich trotz der Fertigungsschwankungen um mehr als den Fangbereich überlappen.

Die drei Eingangssignale vom Eingang der Schaltmatrix 33 können nun wahlweise auf einen der drei Oszillatoren 34a, 34b und 5 34c analog durchgeschaltet werden. Die Schaltpunkte innerhalb der Schaltmatrix 33 sind bevorzugt sogenannte Transfergates. Der Ausgang des ausgewählten Oszillators, 34a, 34b oder 34c wird über die weitere analoge Schaltmatrix 35 zum nachfolgenden Phasendetektor analog durchgeschaltet. Auch hier kommen wieder 10 bevorzugt Transfergates zum Einsatz. Die jeweils nicht benutzten Schaltpunkte und Oszillatoren werden abgeschaltet, um Energie zu sparen und um lokale Überhitzungen zu vermeiden. Hierzu kann in vielen Stufen einfach die jeweilige Stromquelle abgeschaltet werden.

15 Die schaltungstechnische Bereitstellung der genannten Schaltmatrizen und Oszillatoren kann, ebenso wie die genaue Dimensionierung im Einzelfall, seitens des Fachmanns ohne weiteres aufgrund seines Fachwissens durchgeführt werden.

20 Phasenregelkreise werden üblicherweise in solchen Anwendungsfällen verwendet, in denen der Arbeitsbereich klein ist im Verhältnis zur Mittenfrequenz. Dort wird dann von Anfang an geprüft, ob der Oszillator im ganzen Bereich fangen und einrasten kann. Dies ist hier nicht gegeben. Deshalb wird zunächst der Gesamtbereich wie beschrieben auf mehrere Oszillatoren, hier 25 drei, aufgeteilt. Hier muß dann zwingend eine Auswahl getroffen werden, die auch nachprüfbar sein muß. Die Nachprüfung erfolgt nun erfindungsgemäß dadurch, daß geprüft wird, ob der Phasenregelkreis eingerastet ist und nicht etwa zufällig in etwa die richtige Ausgangsfrequenz aufweist.

30 Die hierzu erfindungsgemäß verwendete Erkennungsschaltung ist nun so aufgebaut, daß sie dem Phasenregelkreis eine Störgröße einzuprägen in der Lage ist und weiter so, daß sie eine Änderung der Ausgangsfrequenz des spannungsgesteuerten Oszillators zu erkennen in der Lage ist. Weiter ist diese Erkennungsschaltung erfindungsgemäß derart aufgebaut, daß sie ein Alarmsignal 35

abzugeben in der Lage ist, wenn ein Einprägen einer Störgröße zu einer Änderung der Ausgangsfrequenz führt.

Dem liegt die Überlegung zugrunde, daß der Phasenregelkreis die Störgröße dann ausregeln wird, wenn er eingerastet ist, andernfalls jedoch nicht.

Bevorzugt wird diese Erkennungsschaltung so aufgebaut, daß sie einen, extra hierfür oder für andere Zwecke vorgesehenen, Frequenzzähler heranziehen kann, um das Eingerastet-Sein zu erkennen.

10 Beispielhaft wird dies anhand der Figur 7 gezeigt. Hier wird vom bekannten Phasenregelkreis nach Figur 1 ausgegangen. Am Ausgang des Oszillators 3 ist hier ein Frequenzzähler 4 eingezeichnet, der die gemessene (gezählte) Ausgangsfrequenz des Oszillators 3 an eine Steuerschaltung 5 weitermeldet. Der Frequenzzähler 4 benötigt hierzu eine von außen zugeführte Normalfrequenz  $f_n$ . Die Steuerschaltung 5 wirkt zurück auf das Regelkreisfilter 2, um dort eine Störgröße aufprägen zu können. Die Steuerschaltung 5 ist weiter über einen Bus 6 mit der übergeordneten Anordnung, im Beispiel mit der gesamten Übertragungstechnischen Einheit, verbunden. Weiter ist in Figur 7 dargestellt, daß die Erkennungsschaltung durch die Steuerschaltung 5 ein Alarmsignal A abzugeben in der Lage ist, welches dann aber im gezeigten Beispiel in der Steuerschaltung 5 selbst wieder verarbeitet wird.

15 20 25 30 Die Rückwirkung auf das Regelkreisfilter 2 erfolgt im Beispiel dadurch, daß zum Zählerstand des Zählers 232 der digitale Wert einer Störgröße addiert oder davon subtrahiert wird. Der Wert dieser Störgröße muß so bemessen sein, daß eine daraus bei nicht eingerastetem Phasenregelkreis resultierende Frequenzänderung mit dem Frequenzmesser sicher festgestellt werden kann.

Eine andere Möglichkeit, um eine Änderung der Ausgangsfrequenz zu erkennen, könnte darin bestehen, das Aufprägen der Störgröße zeitlich zu korrelieren mit anderen Größen innerhalb des Phasenregelkreises.

Sobald im vorliegenden Ausgangsbeispiel über das Alarmsignal A festgestellt wird, daß der Phasenregelkreis nicht eingerastet ist, läuft eine Prozedur ab, die mit der Initialisierung vergleichbar ist. Auch diese Prozedur wird durch die Steuerschaltung 5 durchgeführt. Diese wird gegebenenfalls über den Bus 6 von außen unterstützt oder gibt dorthin Statusmeldungen ab.

Hier kommt der zwar schon erwähnte, aber von seiner Funktion her nicht näher erläuterte weitere Digital-Analog-Wandler 25 zum Tragen. Dieser wird mehr oder weniger statisch von der Steuerschaltung 5 angesteuert. Im Zusammenspiel mit dem Frequenzzähler 4 kann hier die ganze Schaltung durchgemessen und durchgeprüft werden. Dies kann schon bei der Fertigung, noch auf dem Wafer, erfolgen. Hier können die Kennlinien aller drei Oszillatoren, 34a, 34b und 34c, durchgemessen werden. Es kann geprüft werden, ob diese Oszillatoren, 34a, 34b und 34c, einerseits insgesamt den ganzen geforderten Frequenzbereich überdecken können und ob sie sich andererseits ausreichend überlappen.

Die Kennlinien der drei Oszillatoren, 34a, 34b und 34c, können bereits hier in der Steuerschaltung 5 abgespeichert werden. Aber auch ohne Abspeicherung kann im Bedarfsfall (Initialisierung oder Alarmfall) auf diese Weise schnell die für den Betrieb erforderliche Einstellung ermittelt werden. Damit kann dann auch für den Betrieb über den weiteren Digital-Analog-Wandler 25 eine Voreinstellung erfolgen. Damit kann dann eine Aufteilung der wirksamen Kapazität der frequenzbestimmenden Teile des jeweiligen Oszillators auf mehrere Kapazitätsdioden erreicht werden. Dadurch wird erreicht, daß die einzelnen Kapazitätsdioden nur in einem engen Bereich variiert werden müssen, so daß im jeweils linearsten Bereich gearbeitet werden kann.

Eine weitere Linearisierung kann erreicht werden, wenn jeweils mehrere Kapazitätsdioden parallelgeschaltet werden, die jeweils in der Mitte des linearen Teils ihrer Kennlinien betrieben werden.

35 Eine weitere Linearisierung kann erreicht werden, wenn jeder

dieser Kapazitätsdioden ein eigener Digital-Analog-Wandler mit entsprechend geringerer Auflösung zugeordnet ist, da solche Wandler mit zunehmender Auflösung weniger linear werden.

Ein Beispiel wird anhand der Figur 8 beschrieben. Dort wird

5 der zweite Teilzähler 232 des das Tiefpassfilters 23 bildenden Zählers aufgeteilt in einen ersten Zähler 2325 bildenden Tei-  
lers durch vier mit angeschlossenem Decoder. Als Ausgangssigna-  
le ergeben sich vier abwechselnd taktende Einzelsignale. Jedem  
dieser Einzelsignale ist nun ein zehnstufiger Zähler 2321,  
10 2322, 2323 bzw. 2324 zugeordnet. Jedem dieser Zähler 2321,  
2322, 2323 und 2324 ist nun ein Digital-Analog-Wandler 241,  
242, 243 bzw. 244 zugeordnet. Anstelle der hier dargestellten  
Zähltakte sind tatsächlich jeweils getrennte Signale für Dekre-  
mentieren und Inkrementieren erforderlich und auch vorgesehen.

15 Bei kontinuierlichem Hochzählen werden die einzelnen Digital-  
Analog-Wandler 241, 242, 243 und 244 abwechselnd um je eine  
Stufe hochgefahren.

Im Ergebnis dasselbe kann natürlich auch erreicht werden,  
wenn, wie Figur 9 zeigt, ein Decoder 245 verwendet wird, der  
20 entsprechend der anhand der Figur 8 gezeigten Funktionalität  
eine 12-Bit-Zahl in vier 10-Bit-Zahlen wandelt. Dies ist im  
Prinzip die Funktionalität einer Tabelle, die jeder Wertekombi-  
nation aus 12 Bit vier Werte mit je 10 Bit zuordnet.

## Patentansprüche

5        1. Digital-Analog-Konverter (24), **dadurch gekennzeichnet, daß** der Digital-Analog-Konverter (24) durch zwei oder mehr Digital-Analog-Konverter (241, ..., 244) realisiert wird, daß er weiter so realisiert ist, daß seine analogen Ausgangsspannungen in der Wirkung zusammengefaßt werden (Figur 3) und daß seine digitalen Eingangswerte derart aufgearbeitet werden (245), daß bei einem kontinuierlichen Inkrementieren oder Dekrementieren dieser Eingangswerte der Reihe nach die einzelnen Eingangswerte der zwei oder mehr Digital-Analog-Konverter (241, ..., 244) inkrementiert bzw. dekrementiert werden.

10      2. Phasenregelkreis mit einem Phasendetektor (1), einem Regelkreisfilter (2) und einem spannungsgesteuerten Oszillator (3), bei dem der Phasendetektor (1) derart aufgebaut ist, daß er die Phase des Ausgangssignals (T) des spannungsgesteuerten Oszillators (3) mit der Phase eines Eingangssignals (Data) vergleicht und ein Fehlersignal abgibt, das der Differenz der beiden Phasen entspricht, bei dem das Regelkreisfilter (2) derart aufgebaut ist, daß es das Fehlersignal derart in ein Regelsignal für den spannungsgesteuerten Oszillator umwandelt, daß dieser sowohl den dynamischen Schwankungen der Phase des Eingangssignals als auch langfristigen Veränderungen dieser Phase folgen kann, **dadurch gekennzeichnet, daß** das Regelkreisfilter zwei parallele Zweige (11, 21; 11, 22, 23, 24) umfaßt, von denen ein erster Zweig (11, 21) im Hinblick auf die dynamischen Schwankungen und ein zweiter Zweig (11, 22, 23, 24) im Hinblick auf die langfristigen Veränderungen dimensioniert ist.

15      3. Phasenregelkreis nach Anspruch 2, dadurch gekennzeichnet,

daß der erste Zweig (11, 21) in analoger Schaltungstechnik (11) und der zweite Zweig in digitaler Schaltungstechnik (22, 23, 24) aufgebaut ist.

4. Phasenregelkreis nach Anspruch 3, dadurch gekennzeichnet, daß der zweite Zweig einen Fensterkomparator, einen Zähler und einen Digital-Analog-Konverter (24) aufweist, wobei die Eingänge des Digital-Analog-Konverters mit den Ausgängen der höchstwertigen Stufen (232) des Zählers (23) verbunden sind.
5. Phasenregelkreis nach Anspruch 4, dadurch gekennzeichnet, daß die Anzahl der Stufen des Zählers (23) im Hinblick auf die durch den zweiten Zweig zu gewährleistende obere Grenzfrequenz dimensioniert ist.
6. Phasenregelkreis nach Anspruch 4, dadurch gekennzeichnet, daß der Digital-Analog-Konverter (24) ein Digital-Analog-Konverter (24) nach Anspruch 1 ist.
7. Phasenregelkreis nach Anspruch 4, dadurch gekennzeichnet, daß der Fensterkomparator (22) derart aufgebaut ist, daß er drei Ausgangszustände aufzuweisen in der Lage ist, wobei ein erster Ausgangszustand dann eingenommen ist, wenn das Eingangssignal des Fensterkomparators (22) innerhalb eines vorgegebenen engen Bereichs um einen Sollwert liegt, daß ein zweiter Ausgangszustand dann eingenommen ist, wenn das Eingangssignal des Fensterkomparators (22) den vorgegebenen engen Bereich in der einen Richtung überschreitet, und daß ein dritter Ausgangszustand dann eingenommen ist, wenn das Eingangssignal des Fensterkomparators (22) den vorgegebenen engen Bereich in der anderen Richtung überschreitet.
8. Phasenregelkreis nach Anspruch 2, dadurch gekennzeichnet, daß er weiter so aufgebaut ist, daß er dem Phasendetektor (1) als Eingangssignal ein Datensignal (Data) zuführt, auf dessen Datentakt die Phase des Ausgangssignals des spannungsgesteuerten Oszillators zu regeln ist.

9. Phasenregelkreis nach Anspruch 2, dadurch gekennzeichnet, daß nach Art eines dritten parallelgeschalteten Zweiges eine voreinstellbare Spannungsquelle (25) zugeschaltet wird.

5 10. Übertragungstechnische Einheit, insbesondere Signalrege-  
nator am Übergang zwischen elektrischen Signalen und op-  
tischen Signalen, mit einer Eingangsschaltung zum weitge-  
henden Wiederherstellen eines durch übertragungstechnische  
Störungen unbeeinflußten Signalverlaufs, **dadurch gekenn-  
zeichnet, daß** die Eingangsschaltung einen Phasenregelkreis  
nach Anspruch 6 aufweist.

10 11. Erkennungsschaltung (Figur 7) zum Erkennen des Eingeras-  
tet-Seins eines Phasenregelkreises mit einem Phasendetek-  
tor (1), einem Regelkreisfilter (2) und einem spannungsge-  
steuerten Oszillatator (3), insbesondere eines Phasenregel-  
kreises nach Anspruch 6, **dadurch gekennzeichnet, daß** die  
Erkennungsschaltung derart aufgebaut ist, daß sie dem Pha-  
senregelkreis eine Störgröße einzuprägen in der Lage ist,  
daß sie weiter derart aufgebaut ist, daß sie eine Änderung  
20 der Ausgangsfrequenz des spannungsgesteuerten Oszillators  
zu erkennen in der Lage ist, und daß sie weiter derart  
aufgebaut ist, daß sie ein Alarmsignal (A) abzugeben in  
der Lage ist, wenn ein Einprägen einer Störgröße zu einer  
Änderung der Ausgangsfrequenz führt.

15 25 12. Erkennungsschaltung nach Anspruch 11, dadurch gekenn-  
zeichnet, daß sie weiter so aufgebaut ist, daß die Erken-  
nung der Änderung der Ausgangsfrequenz des spannungsge-  
steuerten Oszillators (3) mittels eines Frequenzzählers  
(4) erfolgt.



## Zusammenfassung

5

Digital-Analog-Konverter, Phasenregelkreis, Übertragungstechnische Einheit und Erkennungsschaltung

Die Erfindung betrifft einen Digital-Analog-Konverter (24), der durch zwei oder mehr Digital-Analog-Konverter (241, ..., 10 244) realisiert wird, der weiter so realisiert ist, daß seine analogen Ausgangsspannungen in der Wirkung zusammengefaßt werden und daß seine digitalen Eingangswerte derart aufgearbeitet werden, daß bei einem kontinuierlichen Inkrementieren oder Dekrementieren dieser Eingangswerte der Reihe nach die einzelnen Eingangswerte der zwei oder mehr Digital-Analog-Konverter (241, ..., 244) inkrementiert bzw. dekrementiert werden. Die 15 Erfindung betrifft weiter einen Phasenregelkreis, in dem der Digital-Analog-Konverter verwendbar ist, sowie eine Erkennungsschaltung zum Erkennen des Eingerastet-Seins eines Phasenregelkreises und eine Übertragungstechnische Einheit, in der solche 20 Baugruppen eingesetzt werden.

(Figur 8)



Fig. 1

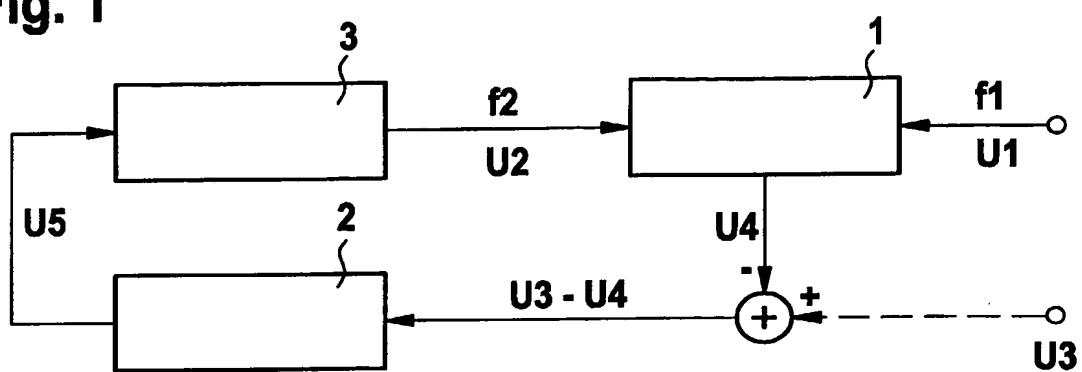
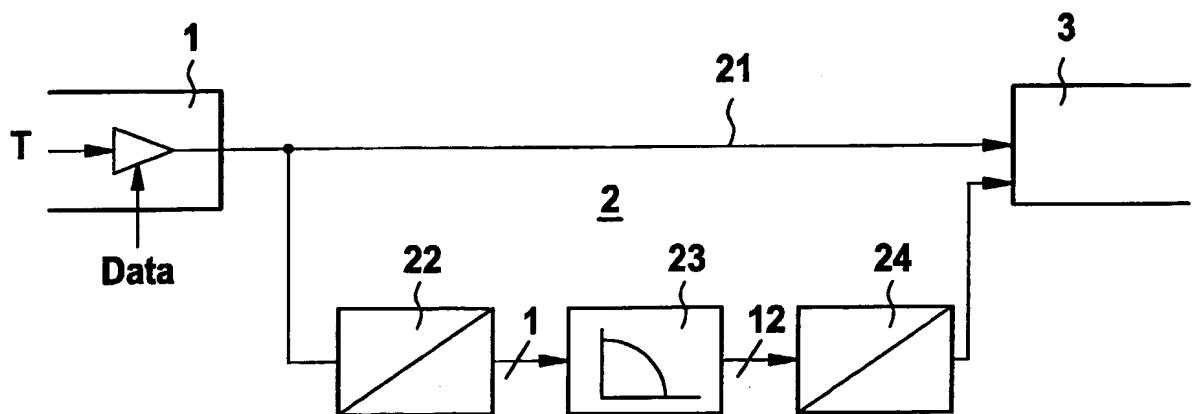


Fig. 2



2 / 4

Fig. 3

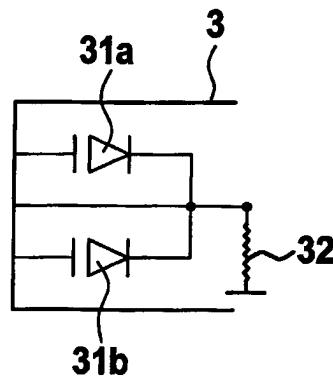


Fig. 4

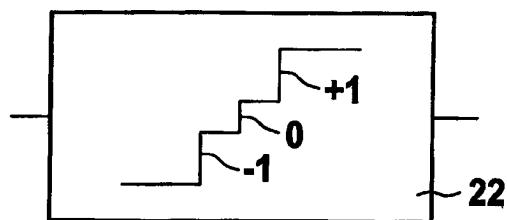
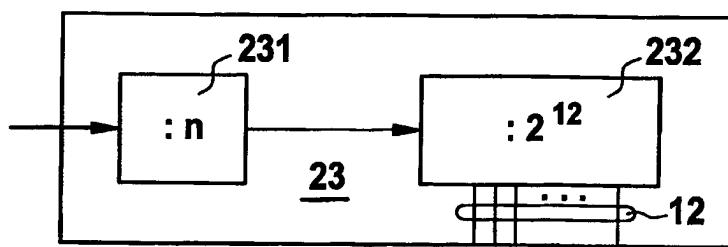


Fig. 5



113 994

3 / 4

Fig. 6

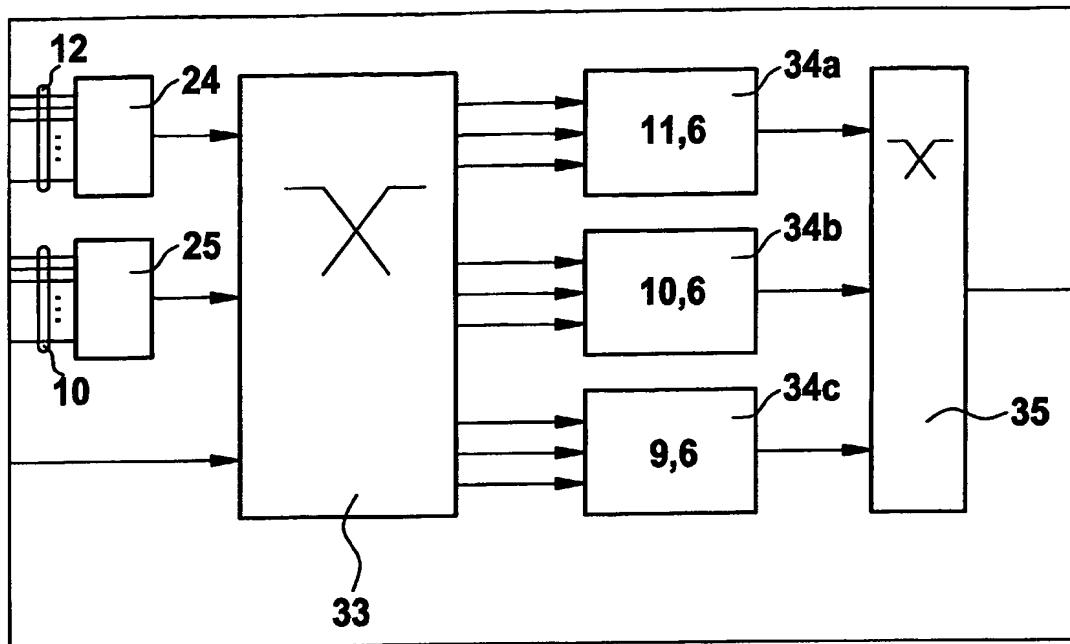


Fig. 7

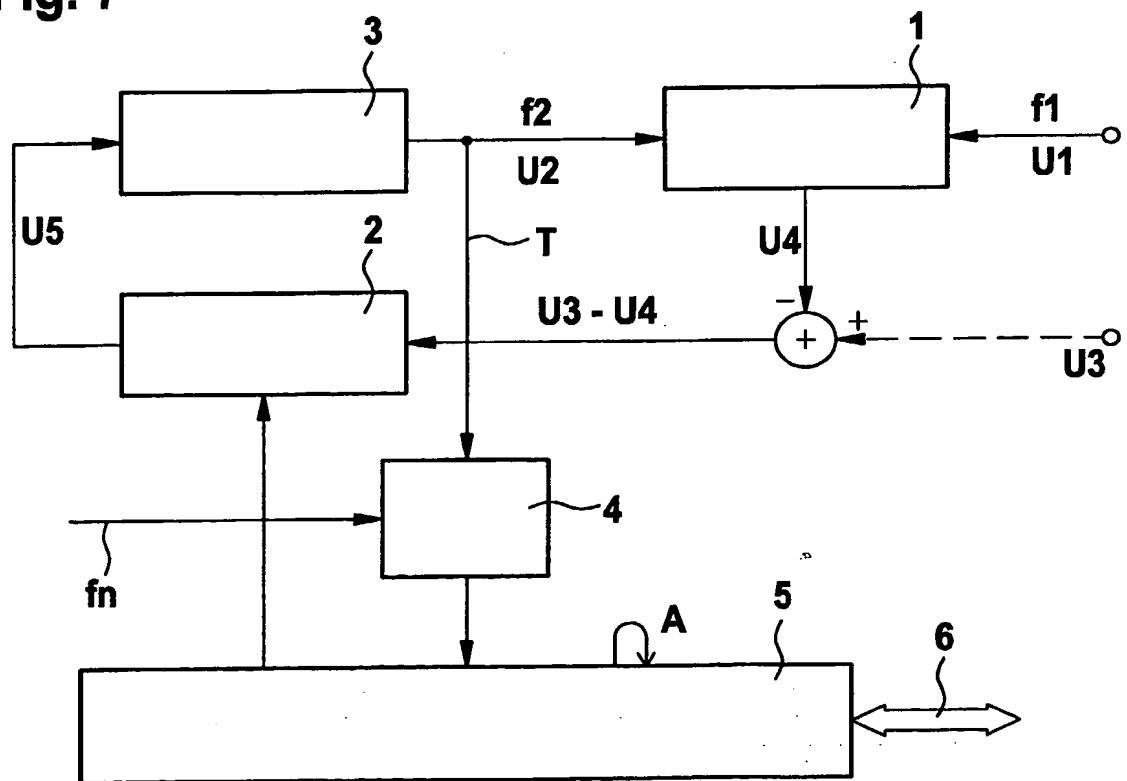


Fig. 8

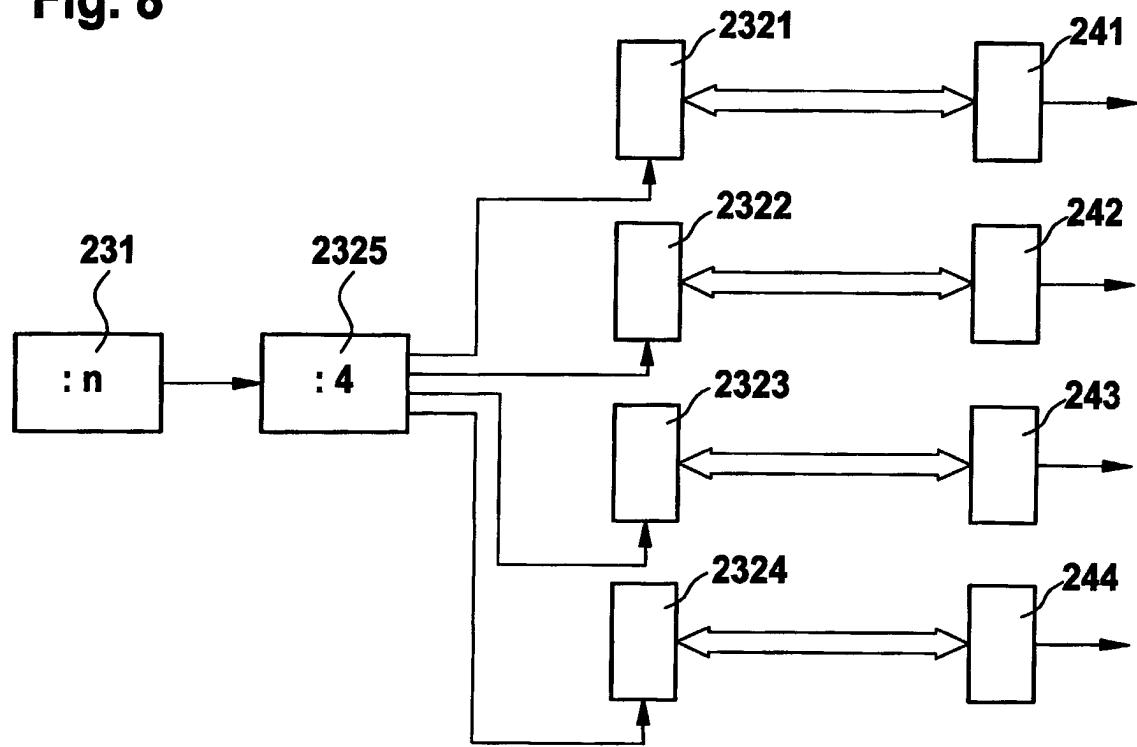


Fig. 9

